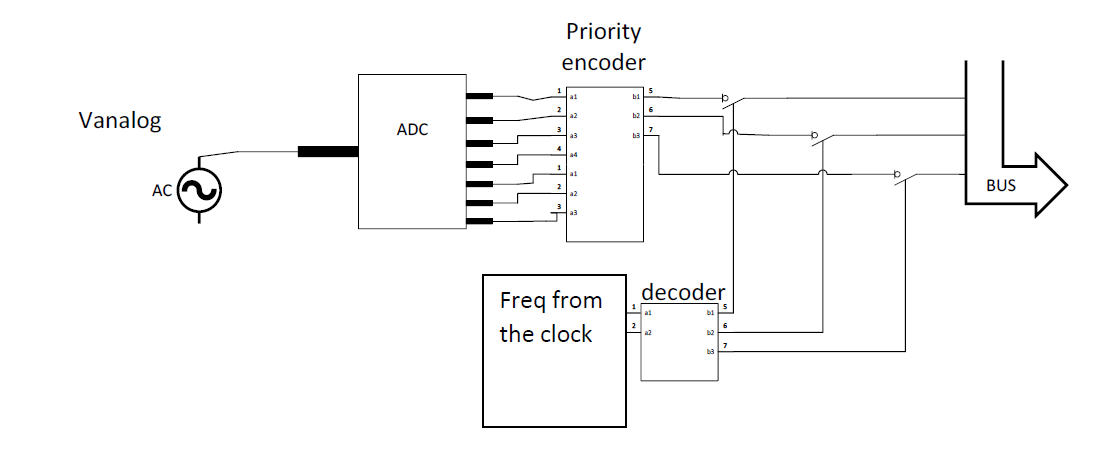
**ADC Read In Series-Laboratory Analog VLSI-Final Project**

מגיש: אלעד רצון 204282602

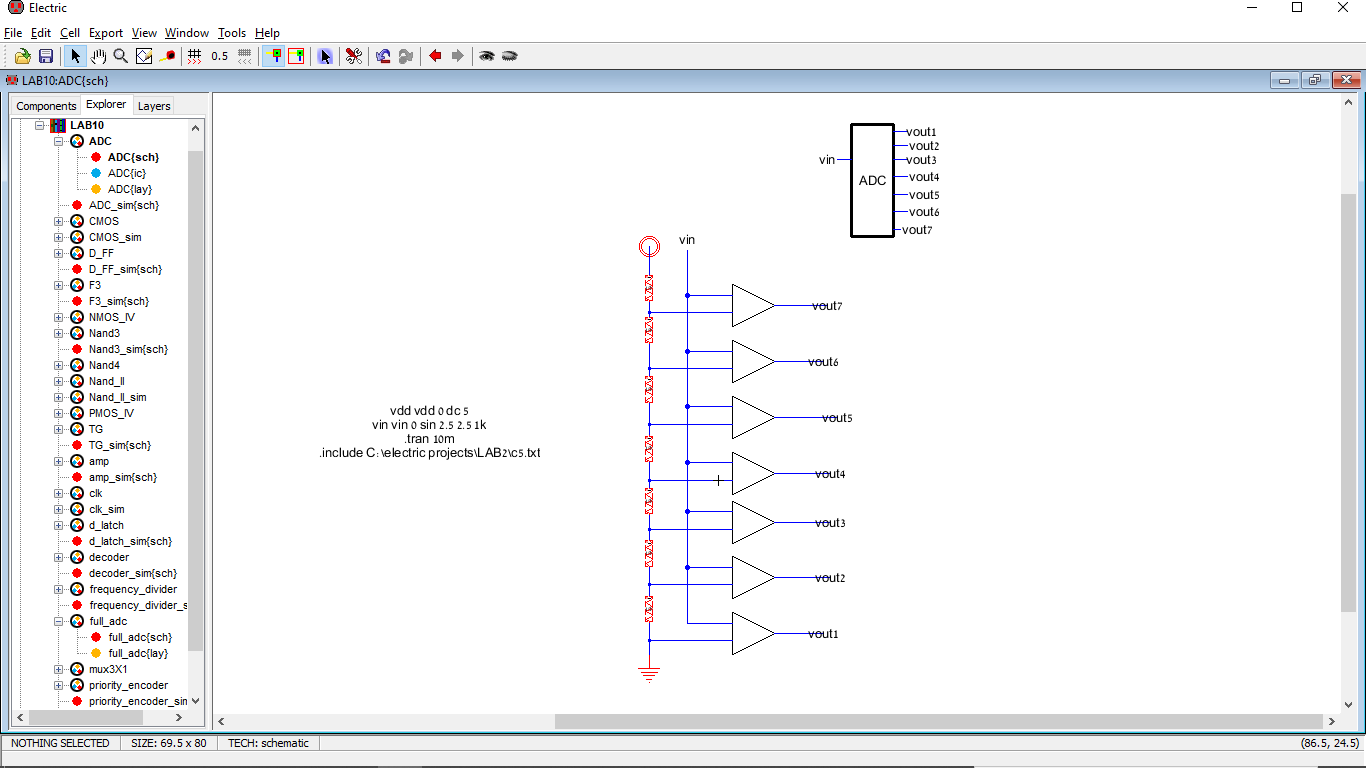
1. נדרש לבנות ממיר אות אנלוגי לאות דיגיטלי הנקרא באופן טורי על ידי המתגים כמתואר באיור הבא:



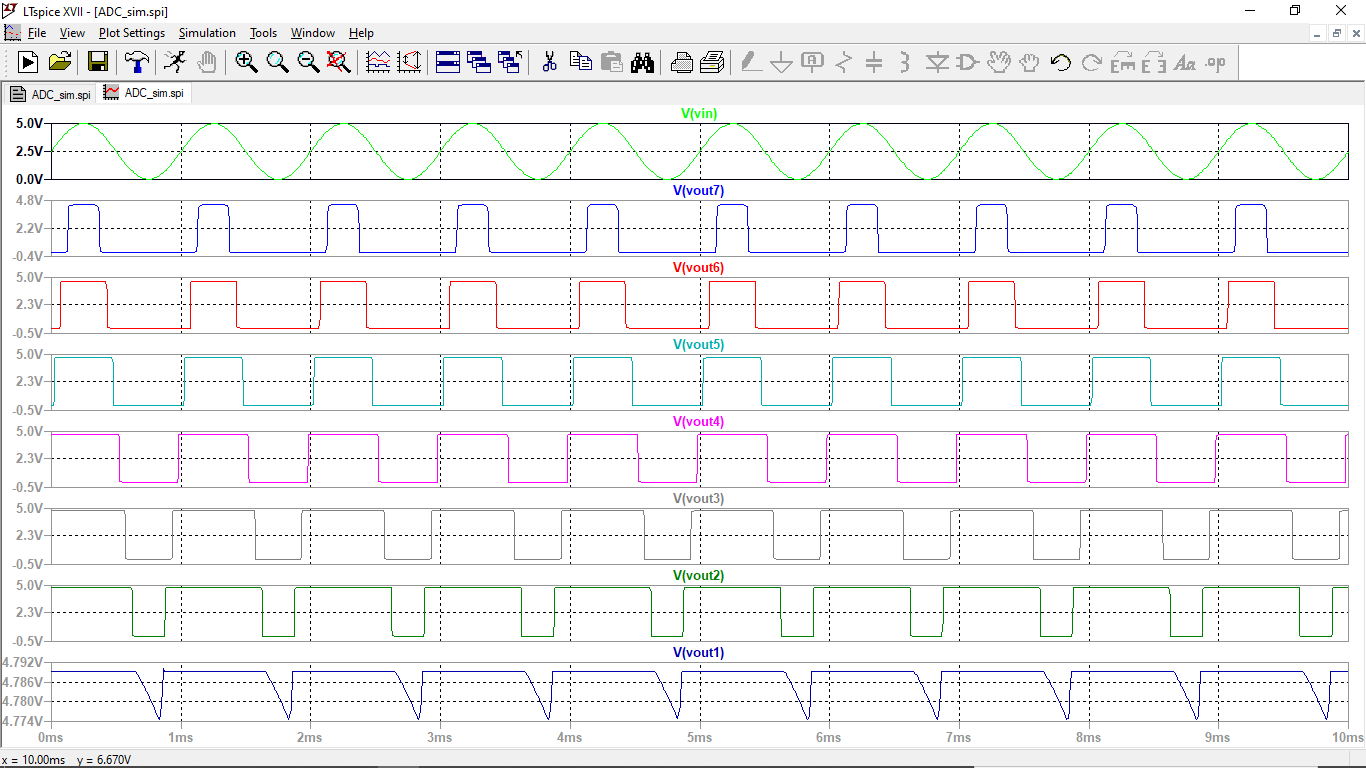
איור 1-תיאור המערכת, תדר כניסה 100KHz.

**רכיבי המערכת מתוארים להלן:**

1. ADC (7 Comparators): רכיב זה מבצע השוואה בין מתח הכניסה האנלוגי (סינוס) למתח ההזנה המתחלק בין הנגדים בעזרת שבעה מגברי שרת משווה. התכנון הוא כזה שהמערכת תהיה יציבה לשמונה רמות מתח (כולל אפס) בחרנו נגדים של 10kohm.

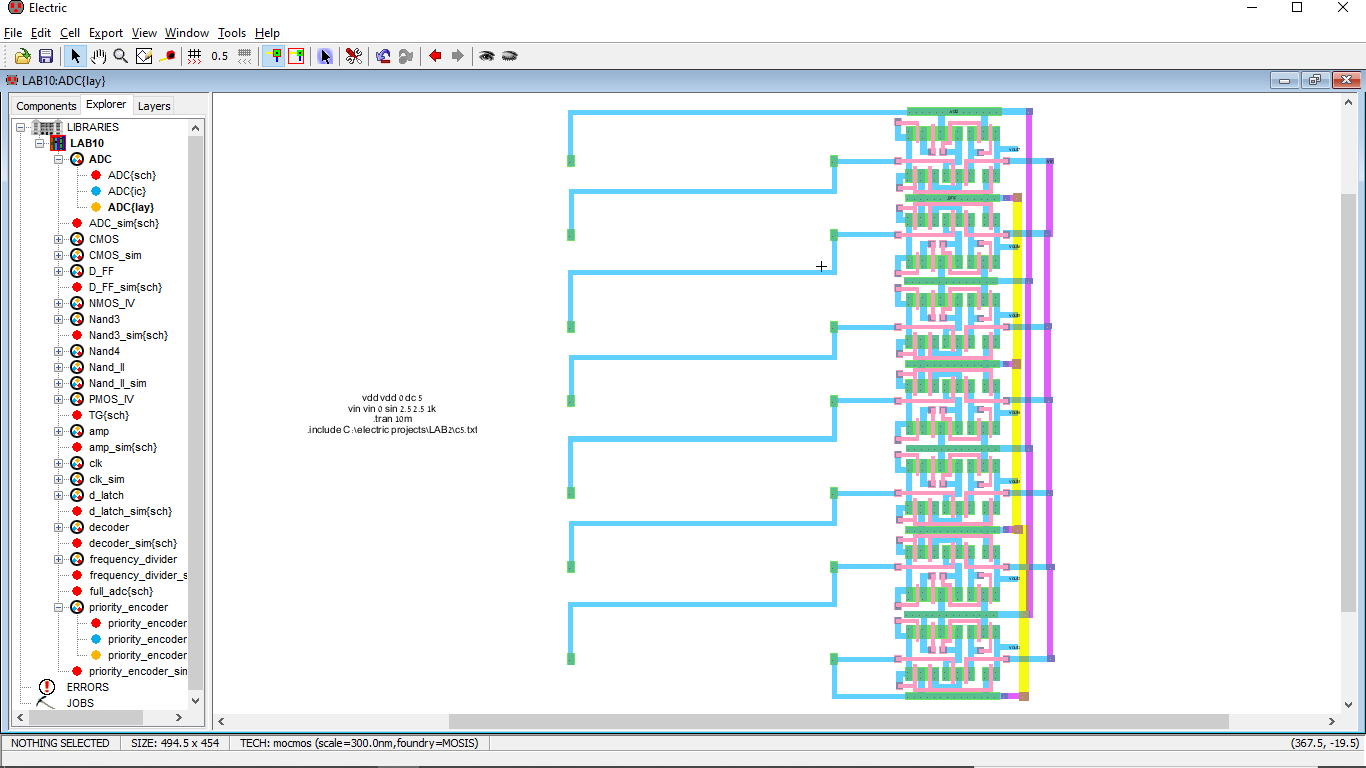


איור 2-ADC Schematic



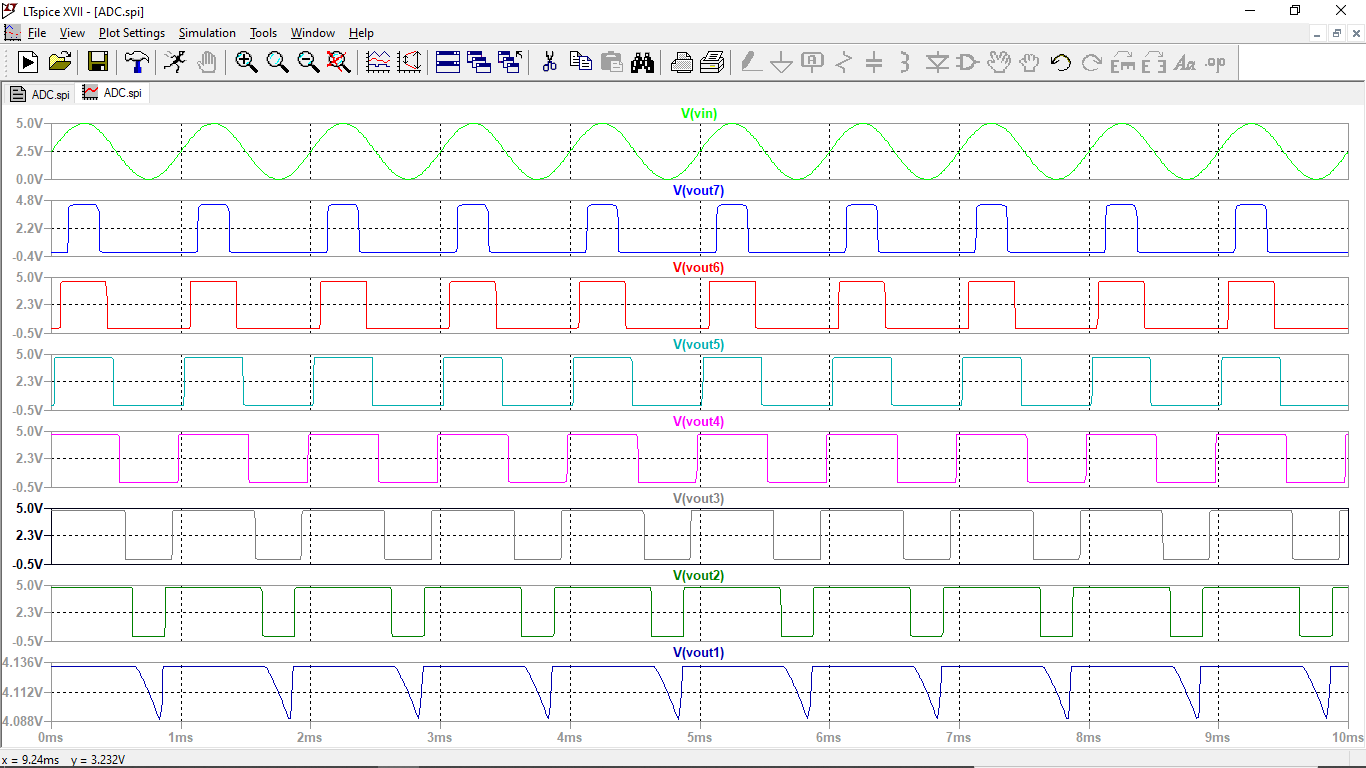
איור 3-ADC Schematic Simulation

ניתן לראות בסימולציה את תקינות הרכיב כלומר, את רמות המתח עולות בפרקי זמן שונים של הסינוס (בהתאם להשוואת המתחים במגברי שרת).



איור 4-ADC Layout

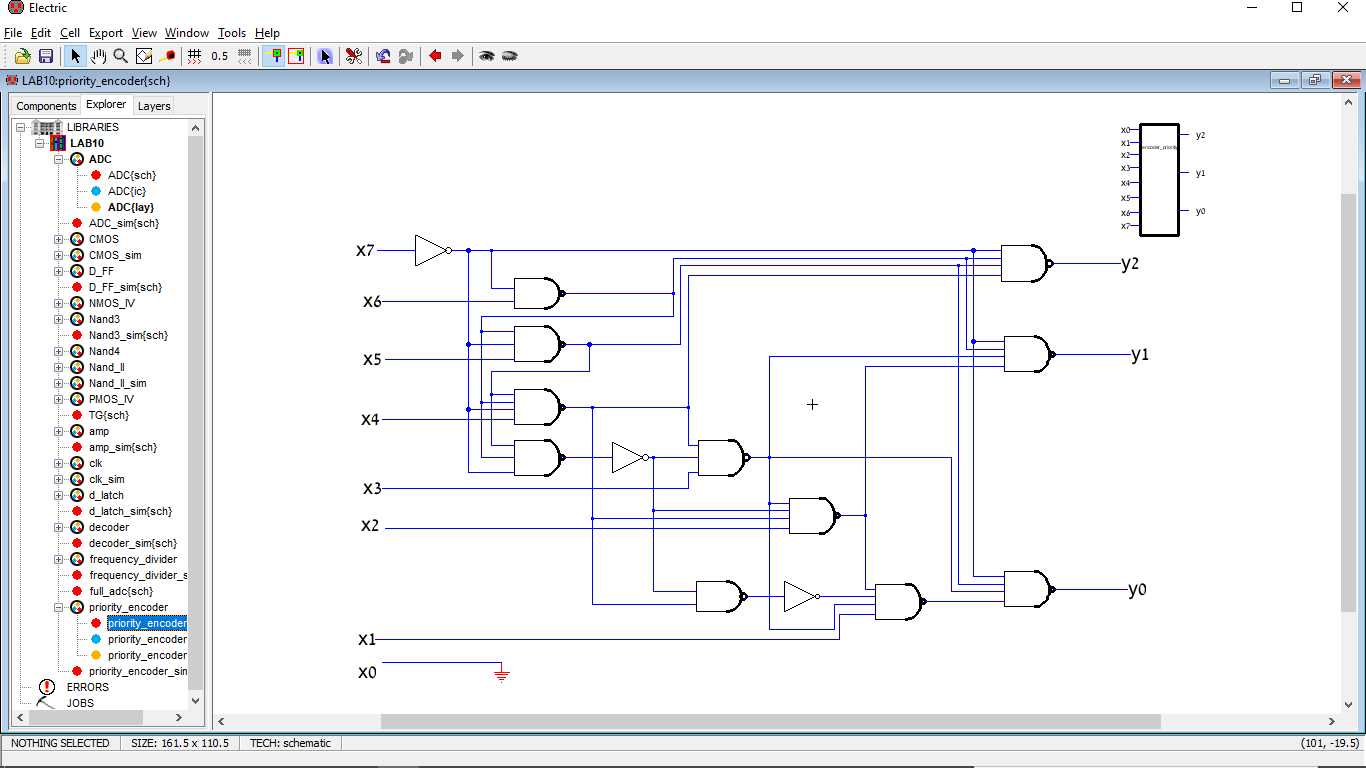
ניתן לראות את חיבורי הטרנזיסטורים בתצורת מגבר שרת משורשרים ביניהם ואת הנגדים (Nwell) מחוברים בצורה טורית ונכנסים לרגל המגבר שרת. גודל הטרנזיסטורים עוד נלקח בחשבון מהמהפך כדי שיהיה סימטרי ועליו בנויים כל הlayout.



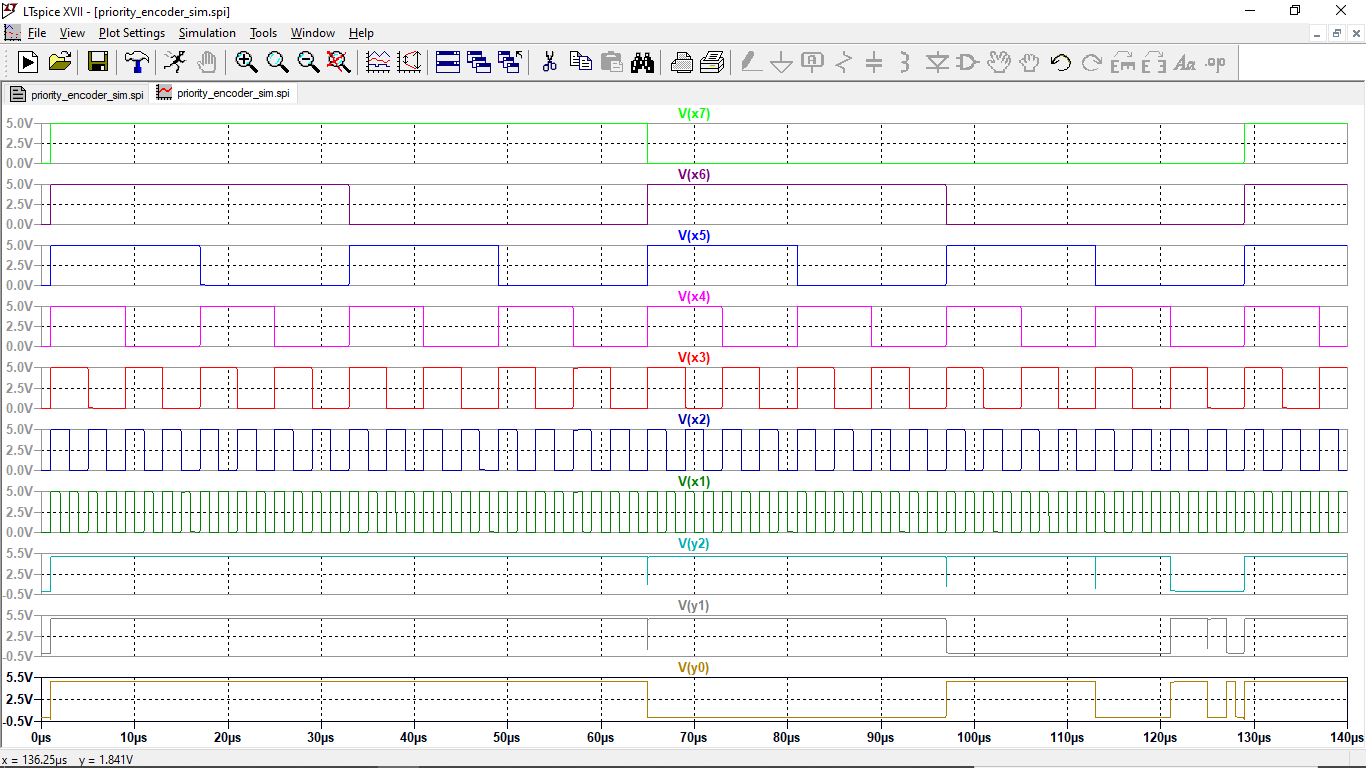
איור 5-ADC Layout Simulation

באיור 5 סימולציית הlayout יצאה תקינה פונקציונלית וזהה לסימולציית הSchematic.

1. Priority Encoder: רכיב זה מקודד רמות מתח לפי עדיפות לסיבית הגבוהה. כלומר עבור כניסת 8bit שבה אפשר לייצג 256 מספרים אנו נקבל במוצא רק שמונה מספרים כאשר כל המספרים שבהם הסיבית הגבוהה היא 1 יקודדו ל-8 בעשרוני. המימוש יתבצע בעזרת מפות קרנו לקבלת הסכמה הנ"ל המכילה 13 שערים (Nand2,3,4 ומהפך).

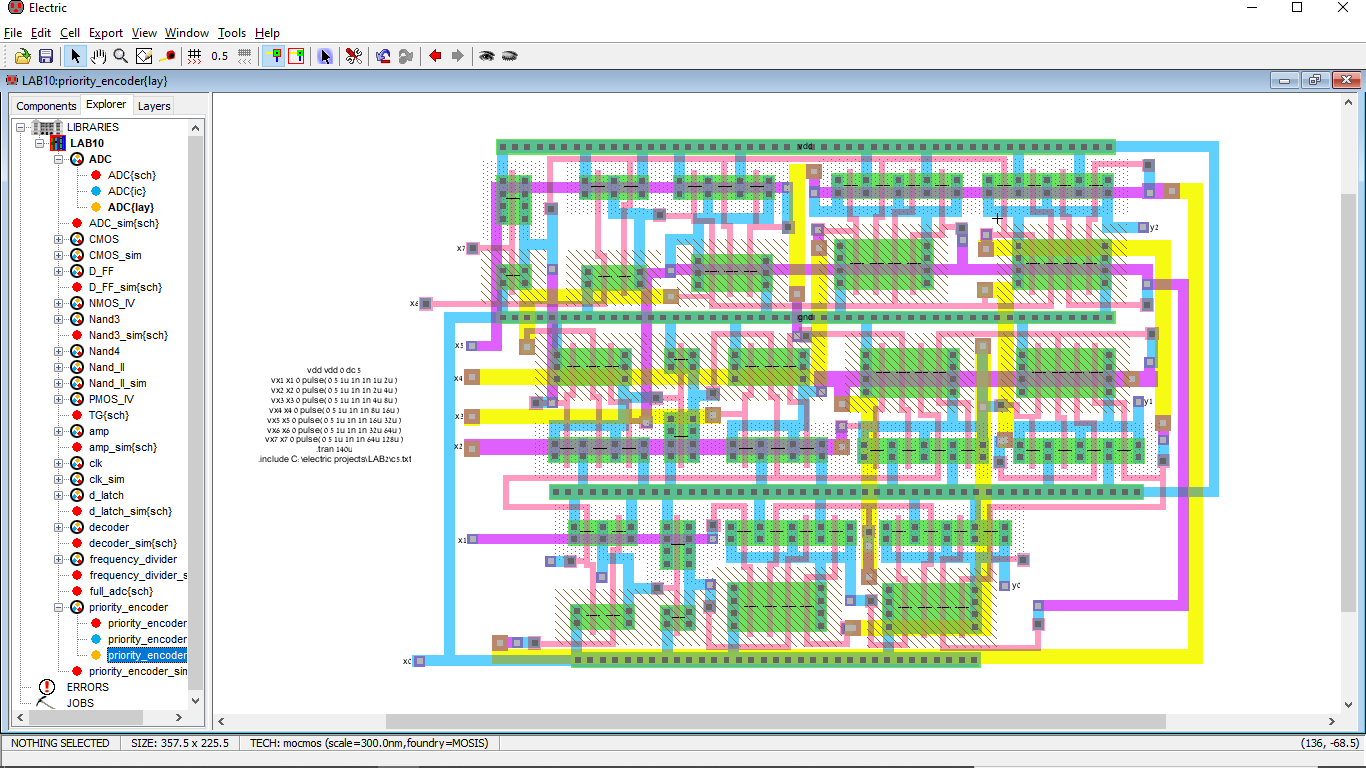


איור 6-Priority Encoder Schematic



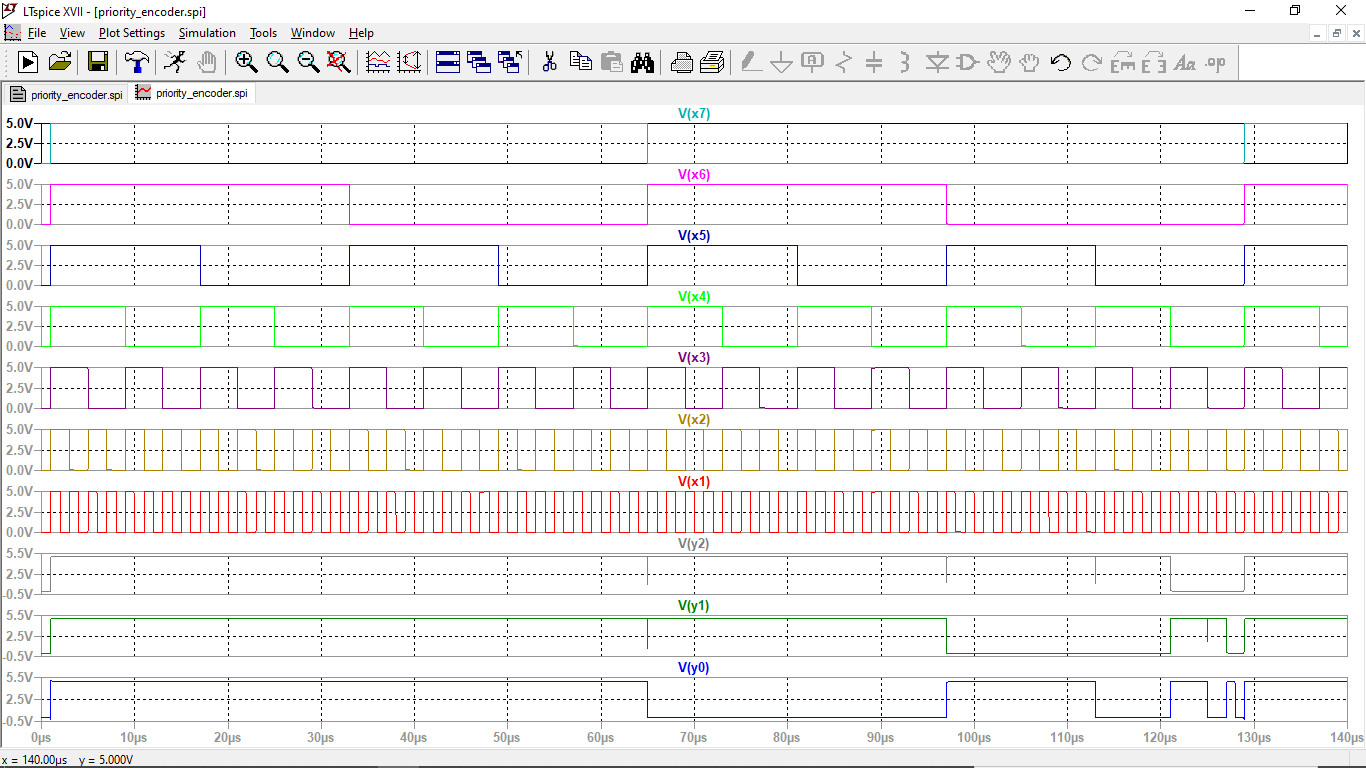
איור 7-Priority Encoder Schematic Simulation

בהתבוננות בסימולציה באיור 7 ניתן לראות כי כל עוד כניסה 7 בגבוהה המוצא המתקבל הוא 111 וכן הלאה. כלומר, הסימולציה מראה על תקינות הרכיב.



איור 8-Priority Encoder Layout

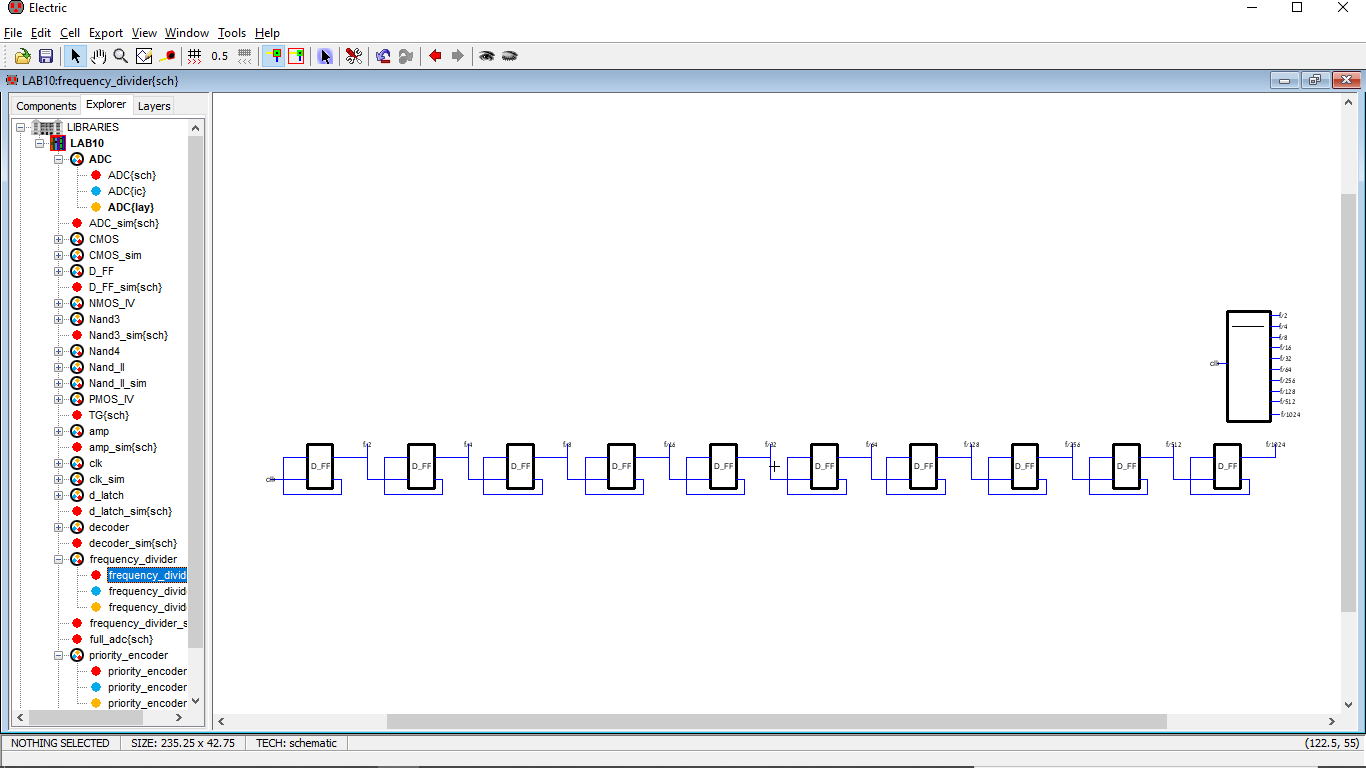
ה-layout מורכב מ-layout שהוכנו מבעוד מועד של שערי Nand עם 2,3,4 כניסות ומהפך. ניתן לראות את export של הכניסות והיציאות. גדלי הטרנזיסטורים שוקללו באופן סימטרי למהפך סימטרי. כמו-כן נשמרו כללי הבנייה של הlayout והתבצעו בדיקות(well ו-drc) עליתי לmetal3 במימוש. המימוש נעשה בעזרת הסכימה והתבצע שיקול עדין למיקום הטרנזיסטורים השונים בשביל לקבל חיבורים נוחים כמה שיותר ולא מסובכים. כמו כן נעשה שימוש בmirror לנוחות החיבורים.



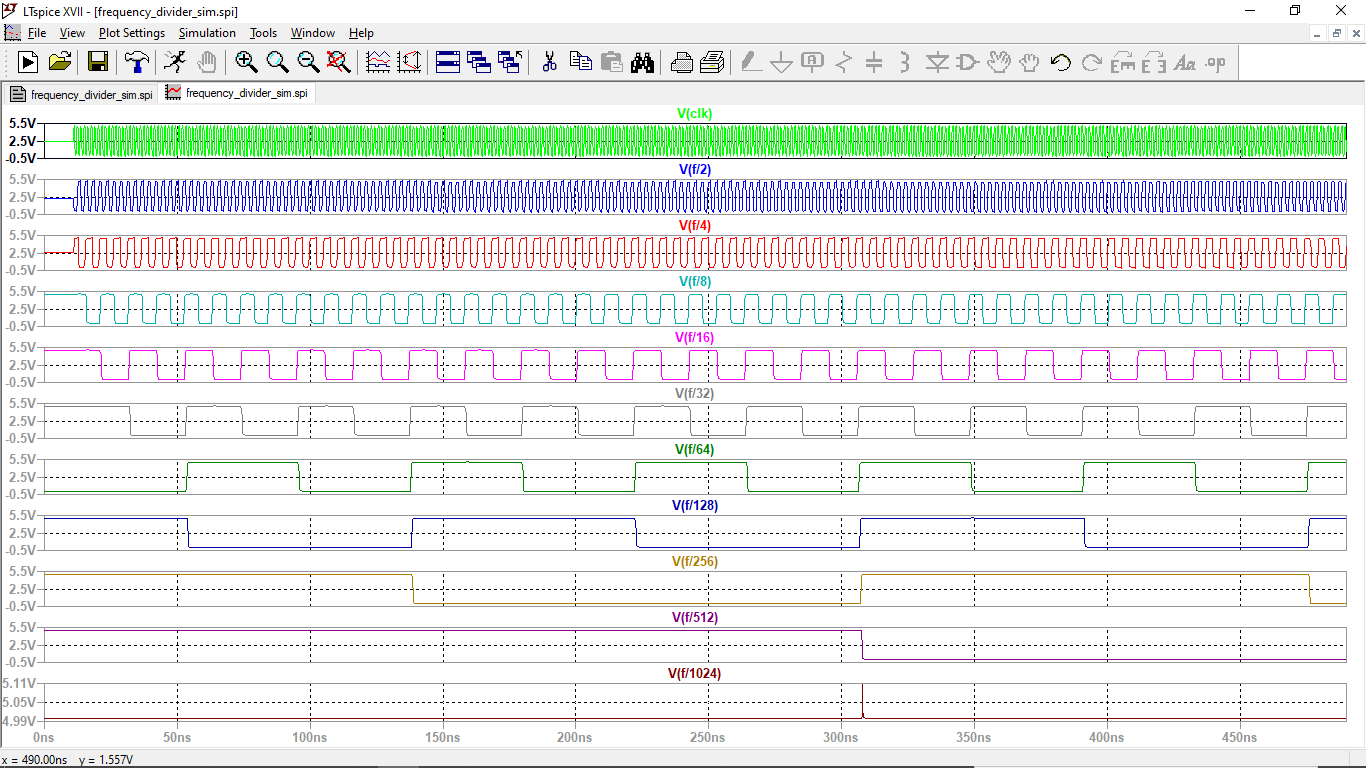
איור 9-Priority Encoder Layout Simulation

באיור 9, ניתן לראות שגם הסימולציה של הlayout יצאה תקינה וזהה לסימולציה של הschematic.

1. Clock & Frequency Divider: רכיב זה הינו מחלק תדר ותפקידו לחלק את תדר אות השעון בכניסה אליו. החלוקה היא תמיד פי 2 מתדר האות בחלוקה הקודמת כלומר, בעשרה חלוקות נקבל תדר המחולק ב1024 מהתדר המקורי של האות בכניסת השעון. רכיב זה מורכב מרכיבי DFF משורשרים ביניהם (מוצא לכניסה של הדרגה הבאה). את הכניסה נזין באות שעון או על ידי בניית שעון באמצעות שרשור של מהפכים (כמו בlayout). כל מוצא מפיק אות בתדר שונה (מחולק) מתדר האות בכניסת השעון ובו אפשר להשתמש כטריגר לרכיבים אחרים.

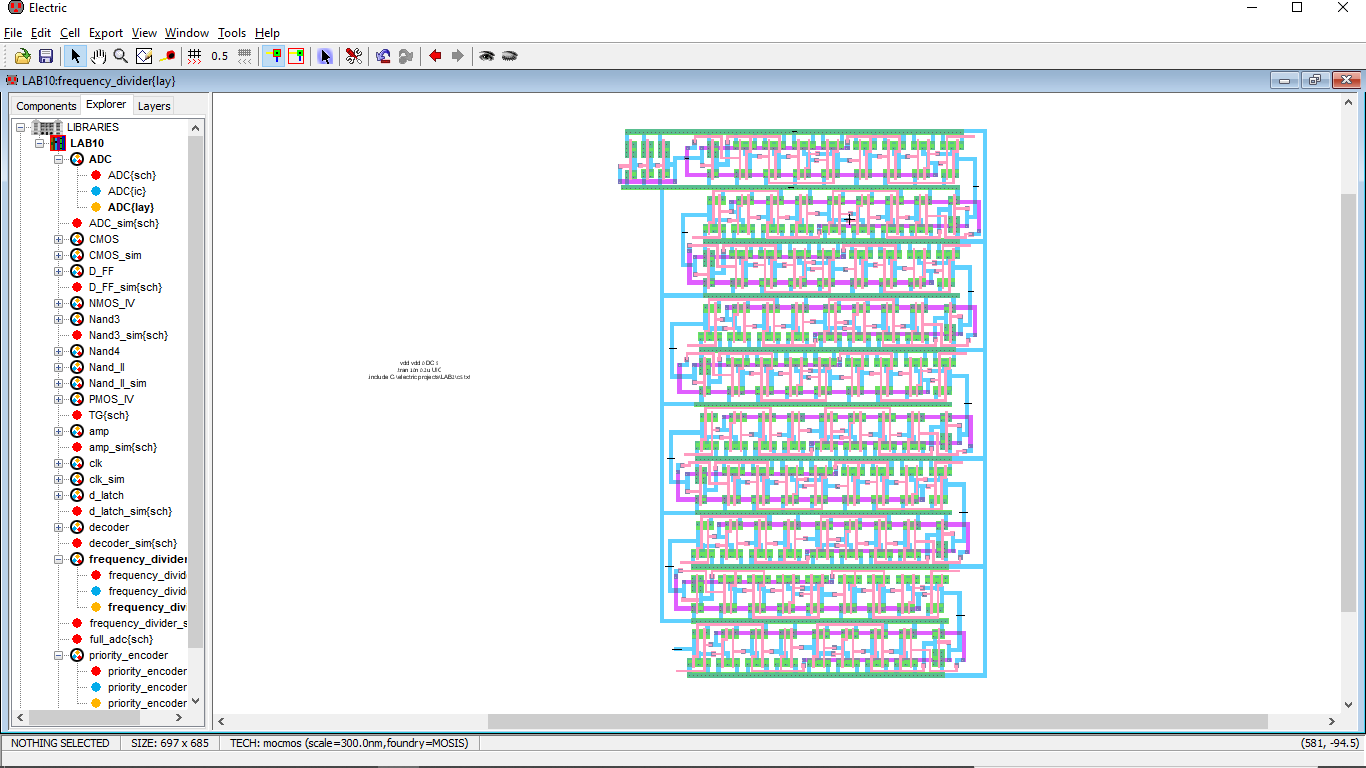


איור 10-Clock and Frequency divider Schematic



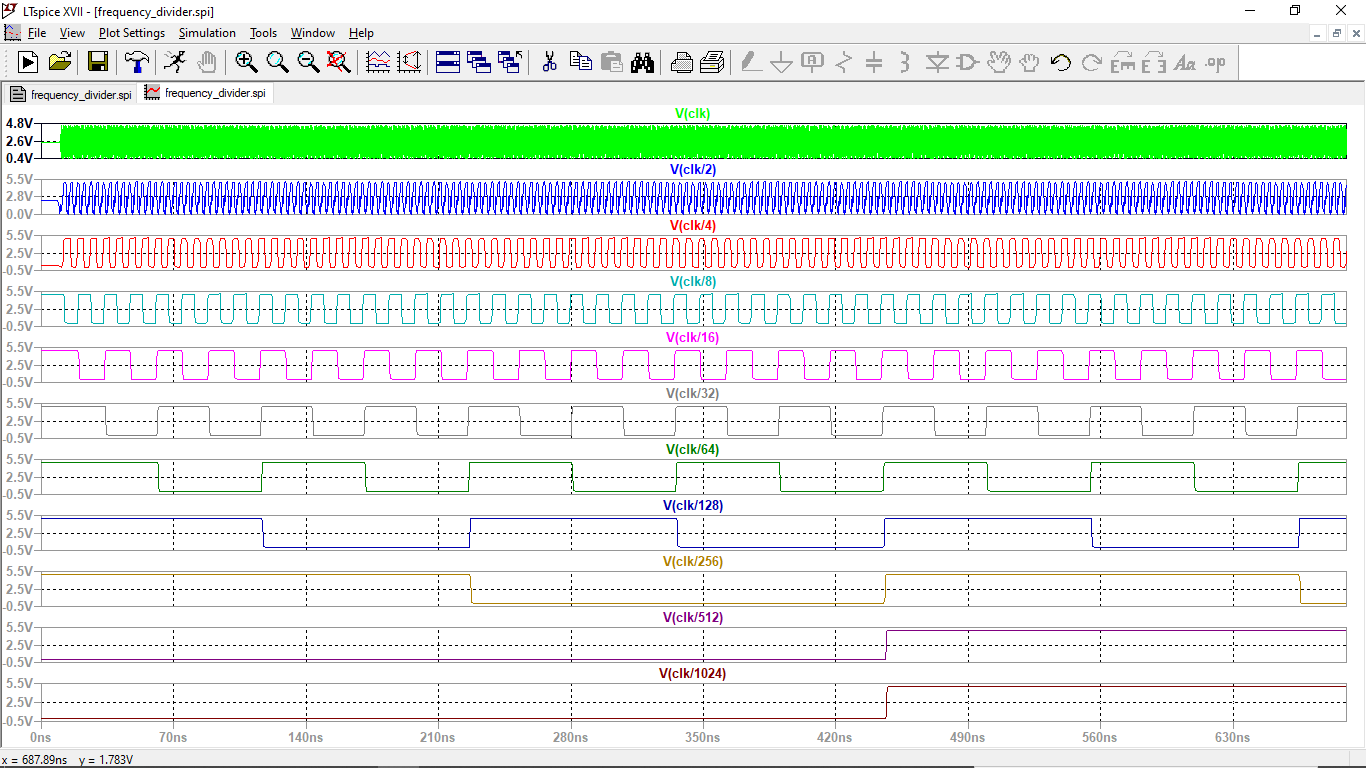
איור 11-Clock and Frequency divider Schematic Simulation

כמו שנאמר לעיל בהסבר הרכיב, ניתן לראות באיור 11 את האותות השונים בחלוקות התדר השונות החל מclk/2 וכלה ב.clk/1024 כלומר הסימולציה מראה על פונקציונליות תקינה.



איור 12-Clock and Frequency divider Layout

בהתבוננות באיור 12 ניתן לראות את המימוש של הlayout. השעון מורכב משלושה מהפכים משורשרים ביניהם ואחר כך משורשרים DFF Layout כדי לקבל מחלק תדר. השתמשתי גם כאן בפונקציית mirror שכן כל הטרנזיסטורי nmos צריכים להתחבר לאדמה וה pmos לvdd.

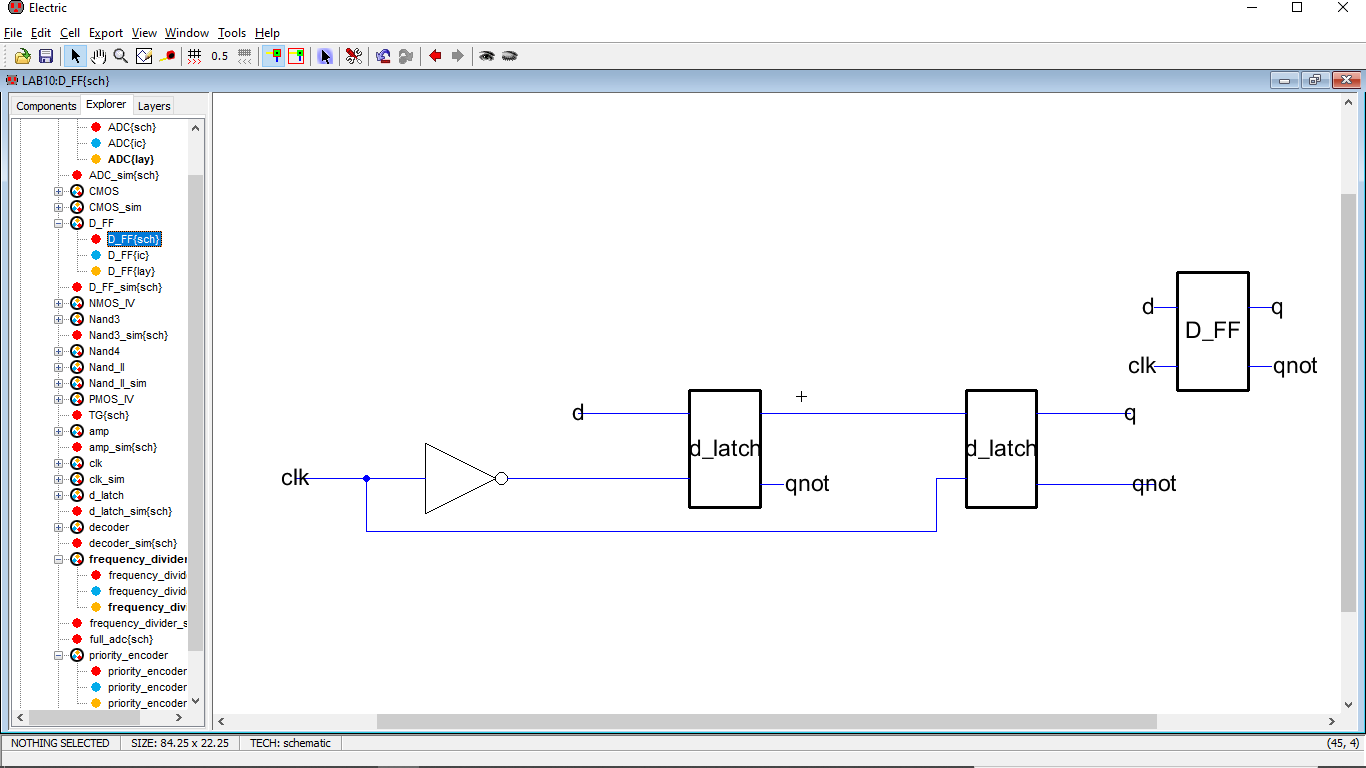


איור 13-Clock and Frequency divider Layout Simulation

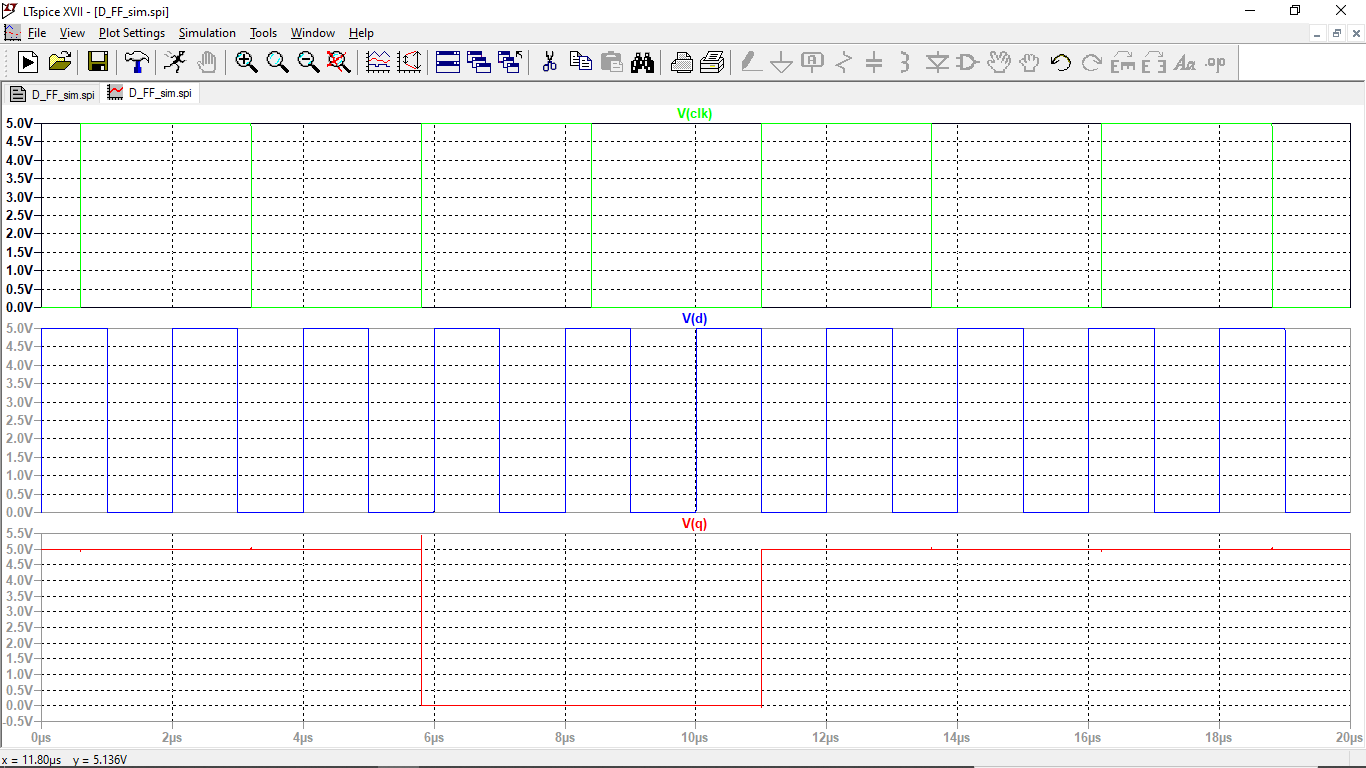
ניתן להתבונן באיור 13 ולראות כי הסימולציה עבור הlayout גם כן תקינה מבחינה פונקציונלית. יש לשים לב שהיא אינה זהה לסימולציית הסכמה שכן השעונים שונים.

השעון בסימולציית הסכמה בנוי משבעה מהפכים ותדרו בערך 883MHz לעומת זאת, השעון בסימולציית הlayout בנוי רק משלושה מהפכים ותדרו בערך 1.42GHz כלומר הוא הרבה יותר גדול.

1. D-ff: רכיב זה הינו דלגלג D. כאשר אות השעון עולה, אות הכניסה נדגם ומועבר למוצא. בכל עליית שעון האות בכניסה נדגם ומועבר למוצא. רכיב זה בנוי משני רכיבי d\_latch משורשרים. להלן סכמת הרכיב. כמו-כן מתקבל גם ההיפוך של אות המוצא ביציאה qnot.

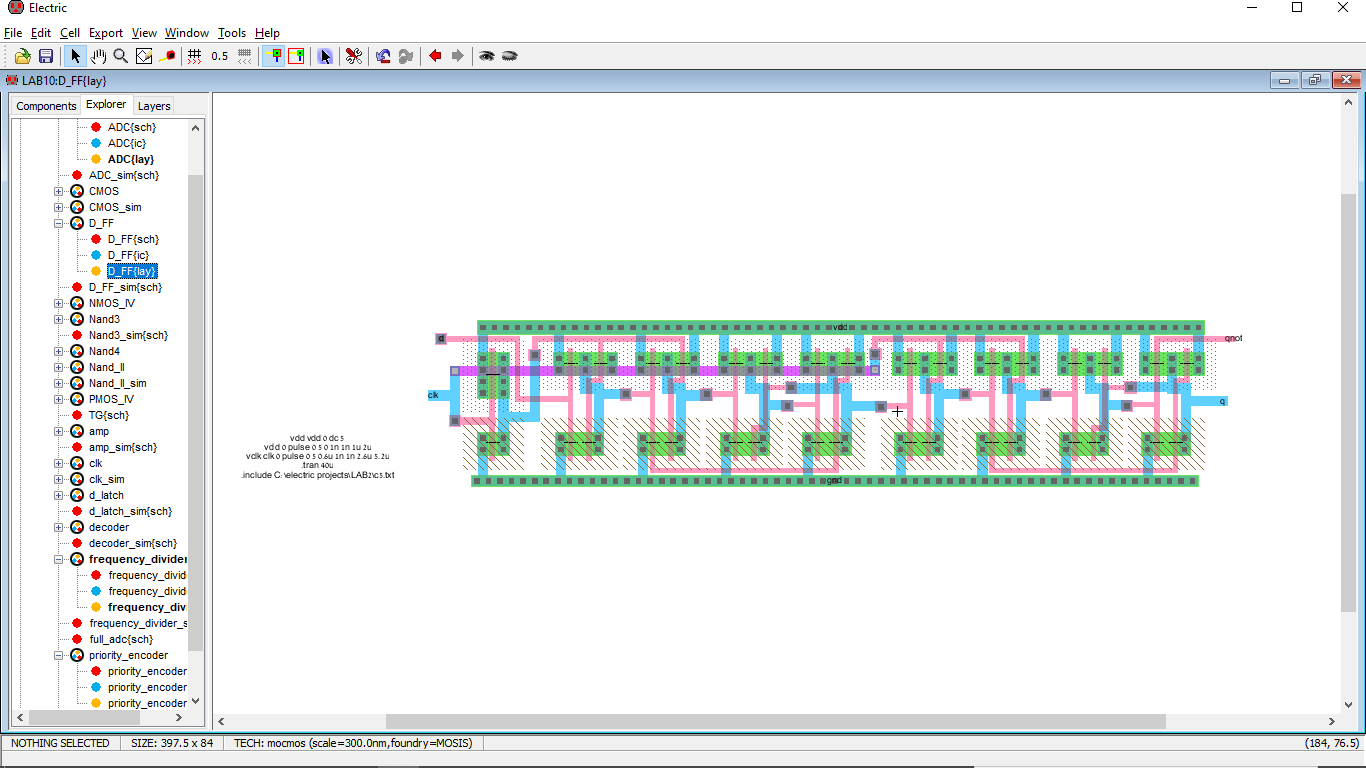


איור 14-DFF Schematic



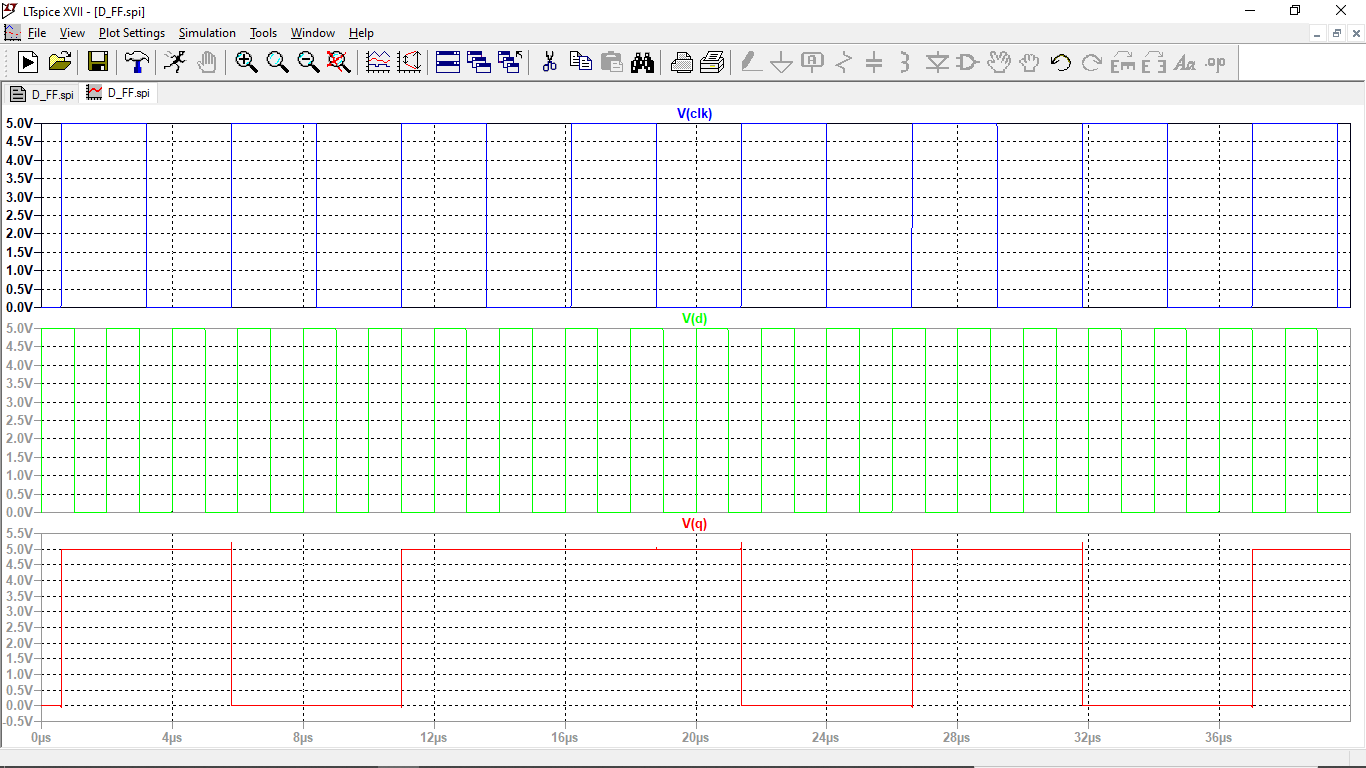
איור 15-DFF Schematic Simulation

באיור 15, ניתן לראות פונקציונליות תקינה של דלגלג D. המוצא אכן משתנה בכל עליית שעון.



איור 16-DFF Layout

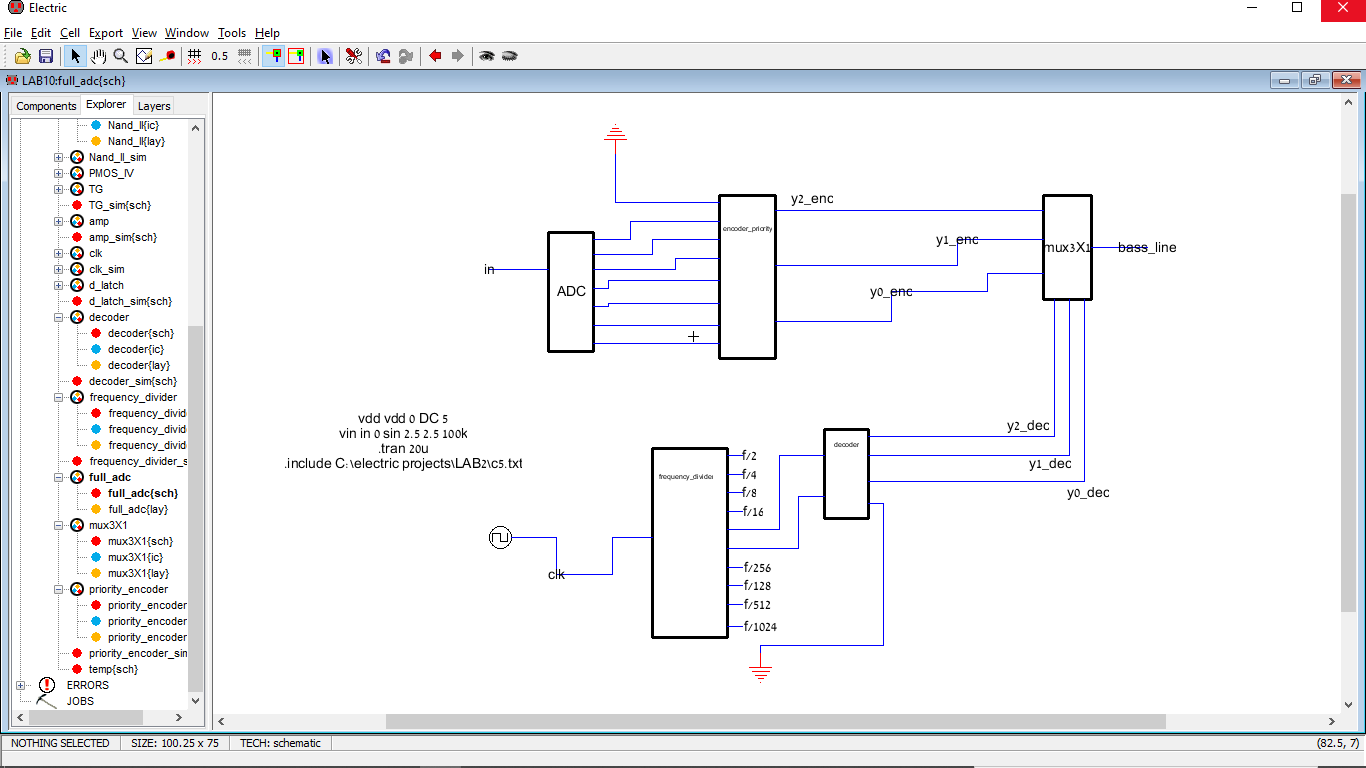
נתבונן באיור 16, ניתן לראות מימוש layout משני מימושי D\_latch ומהפך הרכבתי דלגלג D נשים לב לשעון שמוזן בכניסת המהפך ובשער Nand2 השלישי. כמו כן, נשים לב איפה רגלי הd המוצא והיפוך המוצא.



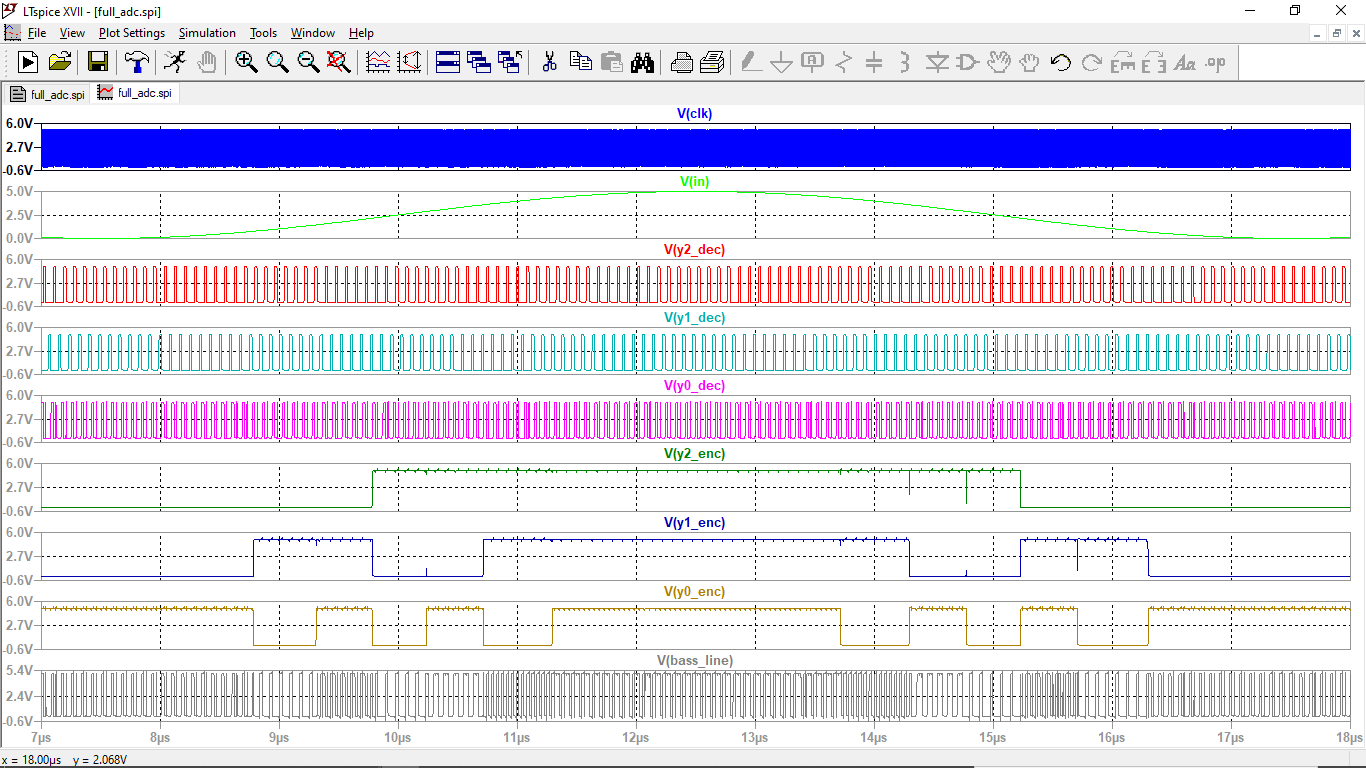
איור 17-DFF Layout Simulation

נתבונן באיורים 15,17 ניתן לראות כי הסימולציות תקינות מבחינה פונקציונלית. ישנו הבדל קטן בין הסימולציות ברגע ההתחלה במוצא. כאשר הרצתי שוב ושוב את הסימולציה של הSchematic קיבלתי מיד את תוצאות הסימולציה מבלי לקבל דף ריק (שבו בוחרים איזה ערכים רוצים להכניס בסימולציה). הדבר מוזר כי גם כאשר מחקתי את היציאות והגדרתי אותן שוב או אפילו מחקתי את כל התא ועשיתי אותו שוב עדיין קיבלתי בעת פתיחת הסימולציה את האותות כבר בהרצה. לכן אינני הצלחתי להבין מה פשר ההבדל בתחילת הסימולציה במוצא בין הlayout לschematic. מבחינת האותות בכניסה ניתן לראות זהות שכן הקוד הינו זהה.

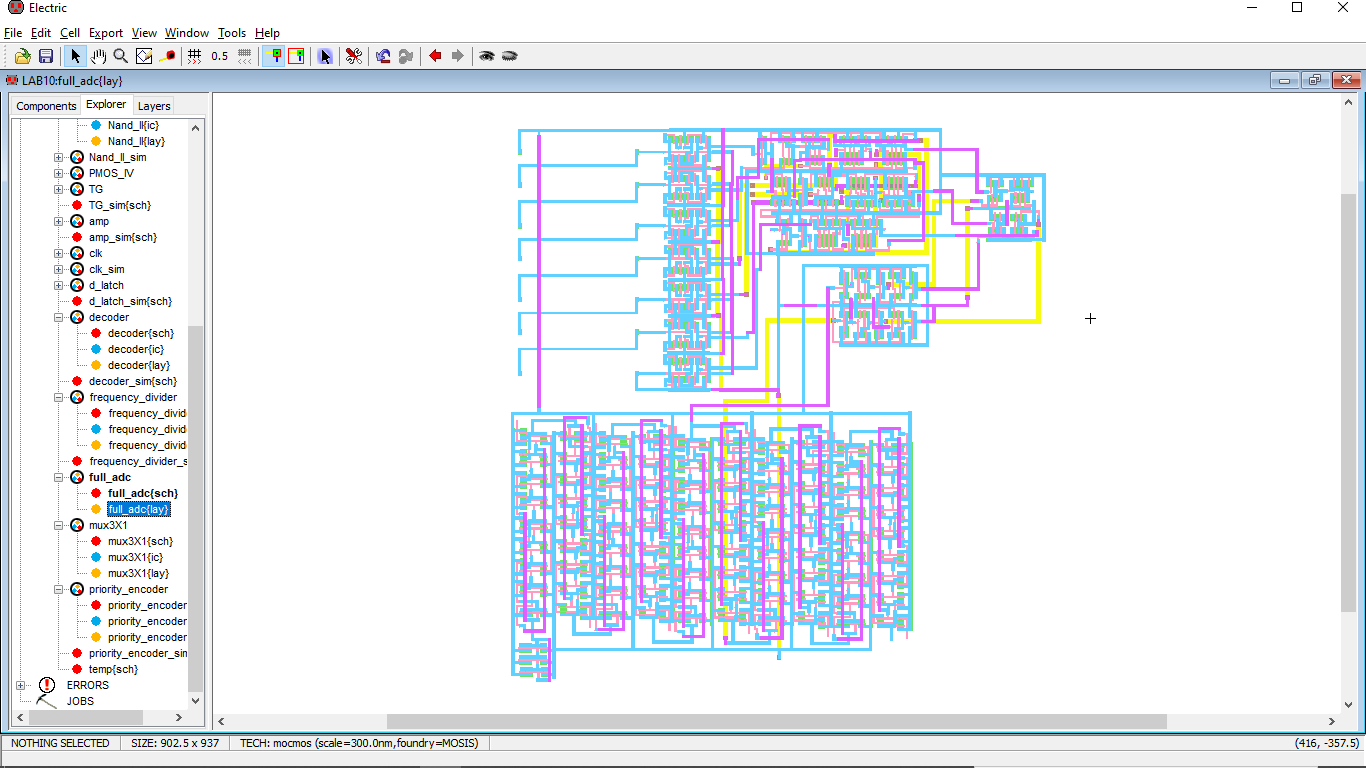
1. Full ADC: המערכת הכוללת (המתוארת באיור 1) מעבירה את המוצאים של המקודד עדיפות בשליטת מוצא המפענח 2X4 שמקבל את הכניסות שלו ממחלקי תדר שונים עבור כניסת שעון מסויימת. המוצאים מוכנסים ל mux3X1 אשר מאפשר לקבל במוצא ביט ביט של האות הדיגיטלי. להלן סכמת המערכת:



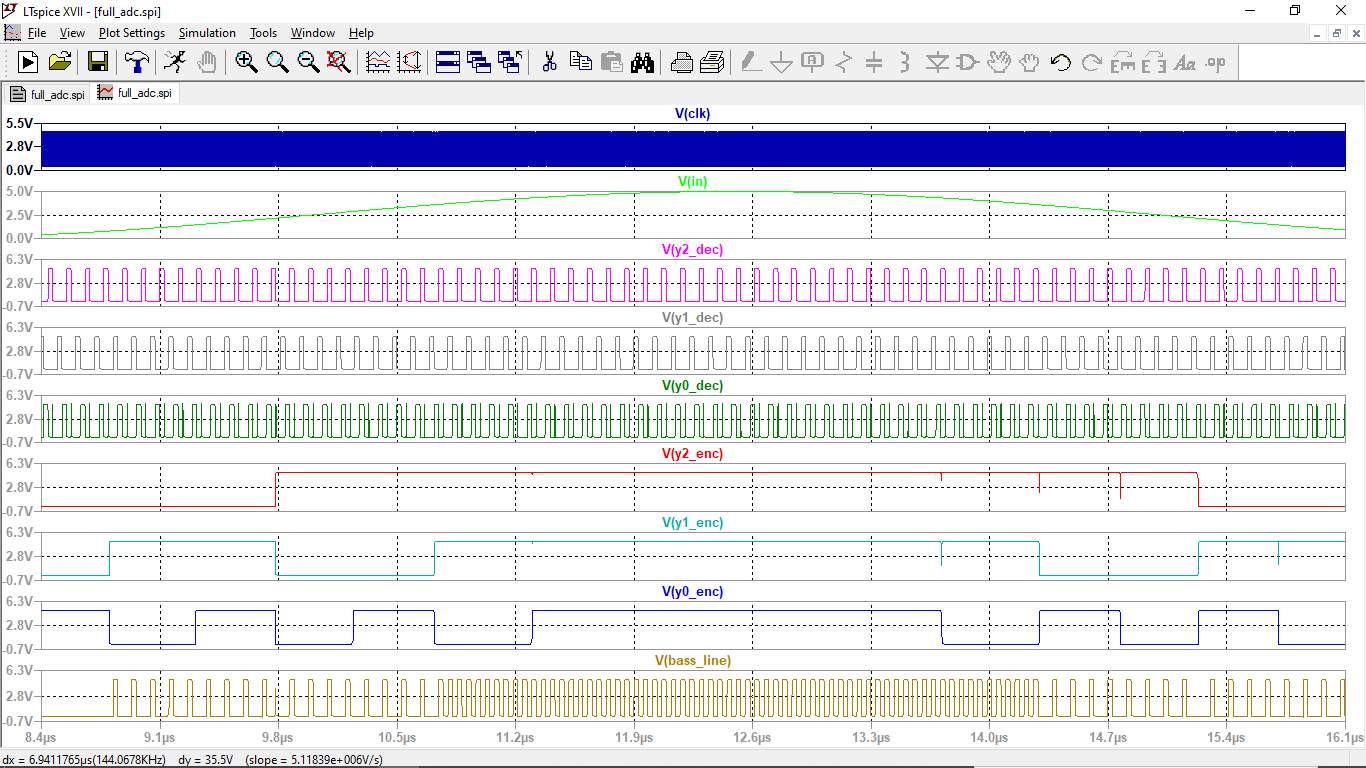
איור 18-Full ADC Schematic



איור 19-Full ADC Schematic Simulation



איור 20-Full ADC Layout



איור 21-Full ADC Layout Simulation

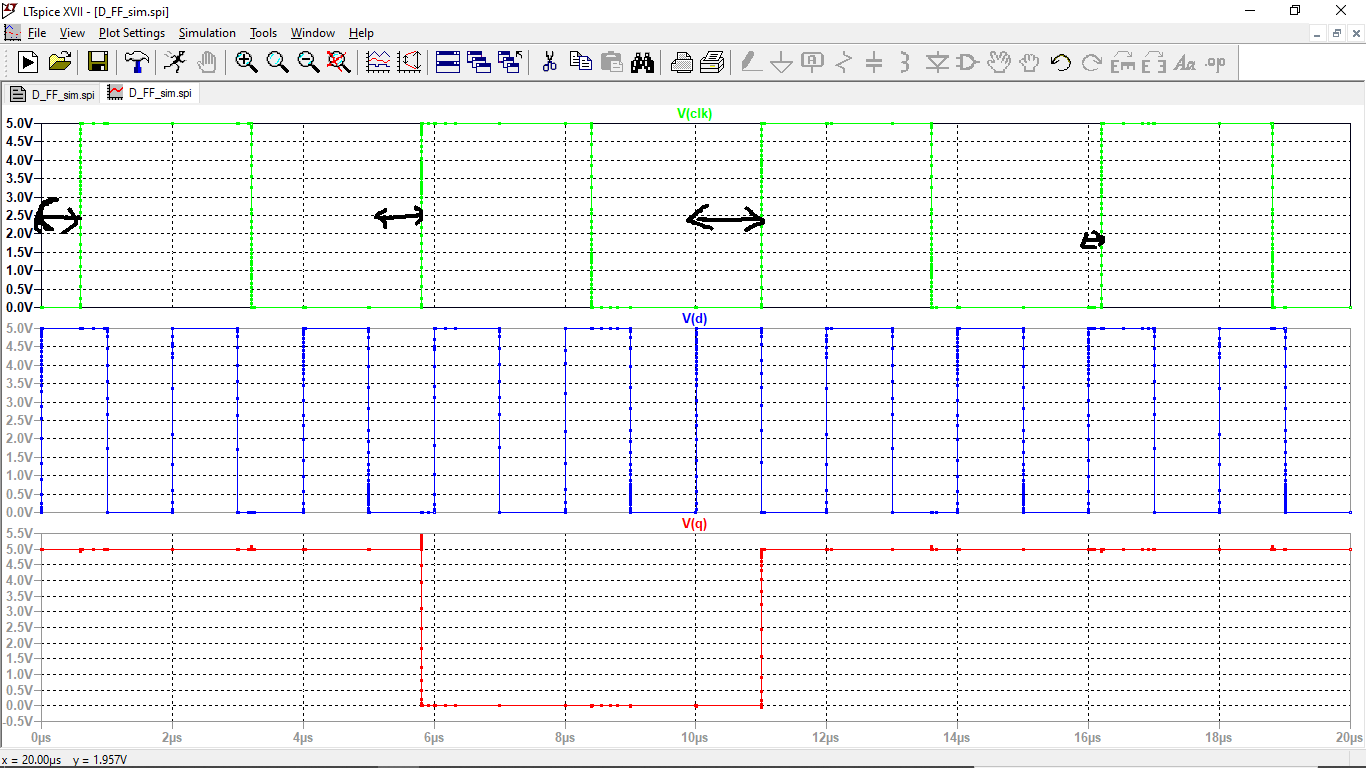
ניתן לראות בסימולציות של המערכת הכוללת שהשעון מהיר מאוד ולכן היה ניתן לראות בזום כפילויות של דגימות, אך המידע עובר באופן טורי.

כמו-כן בספרייה ישנו גם רכיב TG שכנראה גם היה מעביר את המידע בצורה תקינה אם הייתי מסנכרן את זמני הכניסות בדיקודר להיות באיזור זמן המחזור של האות האנלוגי חלקי רוחב החלון שהוא מספר הדגימות (8).

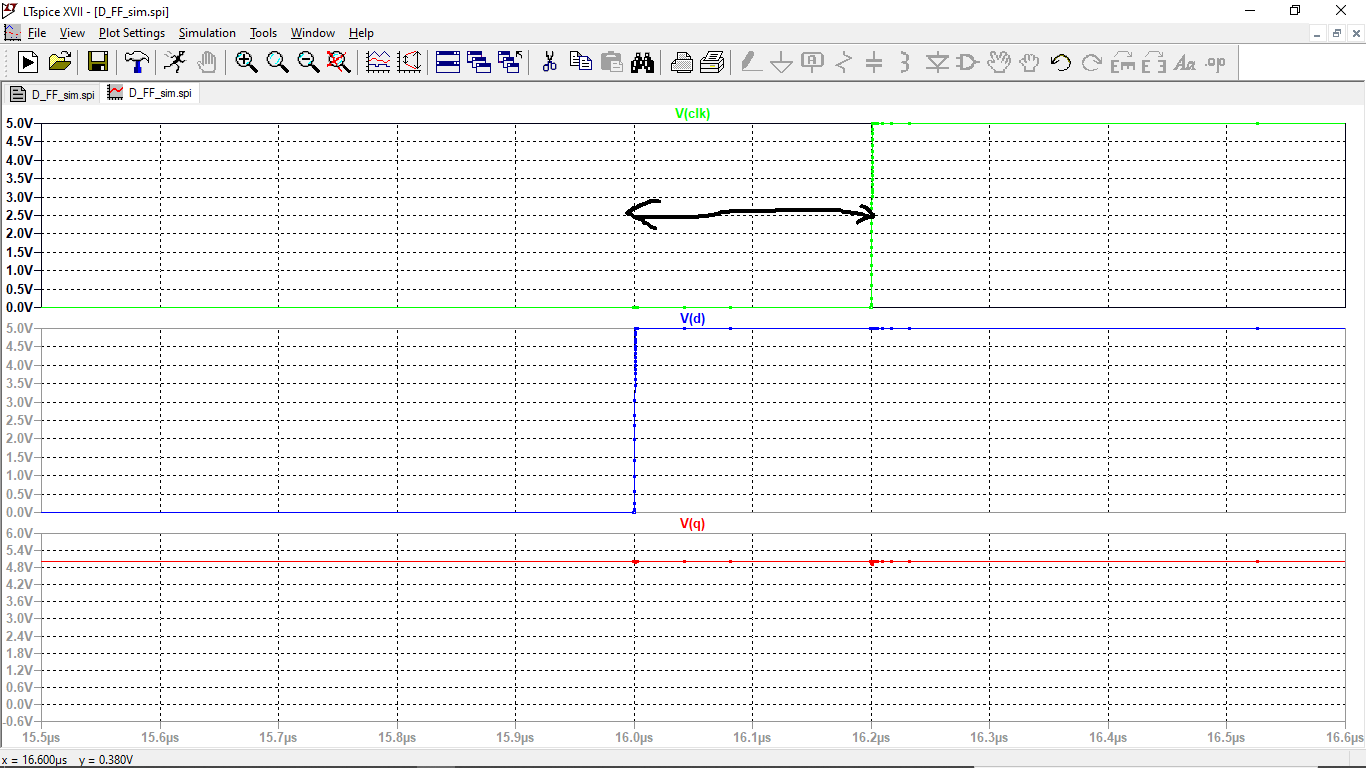
הדבר לא נוסה מפאת חוסר זמן אך המימוש להעברת מידע טורי בוצע בסופו של דבר על ידי mux3X1. כמו כן ניתן לראות כי כל החלקים במערכת אכן תקינים ועובדים בנפרד וכך גם בחיבורם. כמו -כן יש הבדל בין השעונים המוזכר לעיל במחלק התדר.

2. שלושת הזמנים החשובים ב-DFF: (הזמנים נלקחו מרכיב הDFF שנבנה במהלך הסמסטר)

Tsetup- הזמן שלפני דגימת השעון בו המידע בכניסה צריך להיות מוכן ויציב לקריאה.

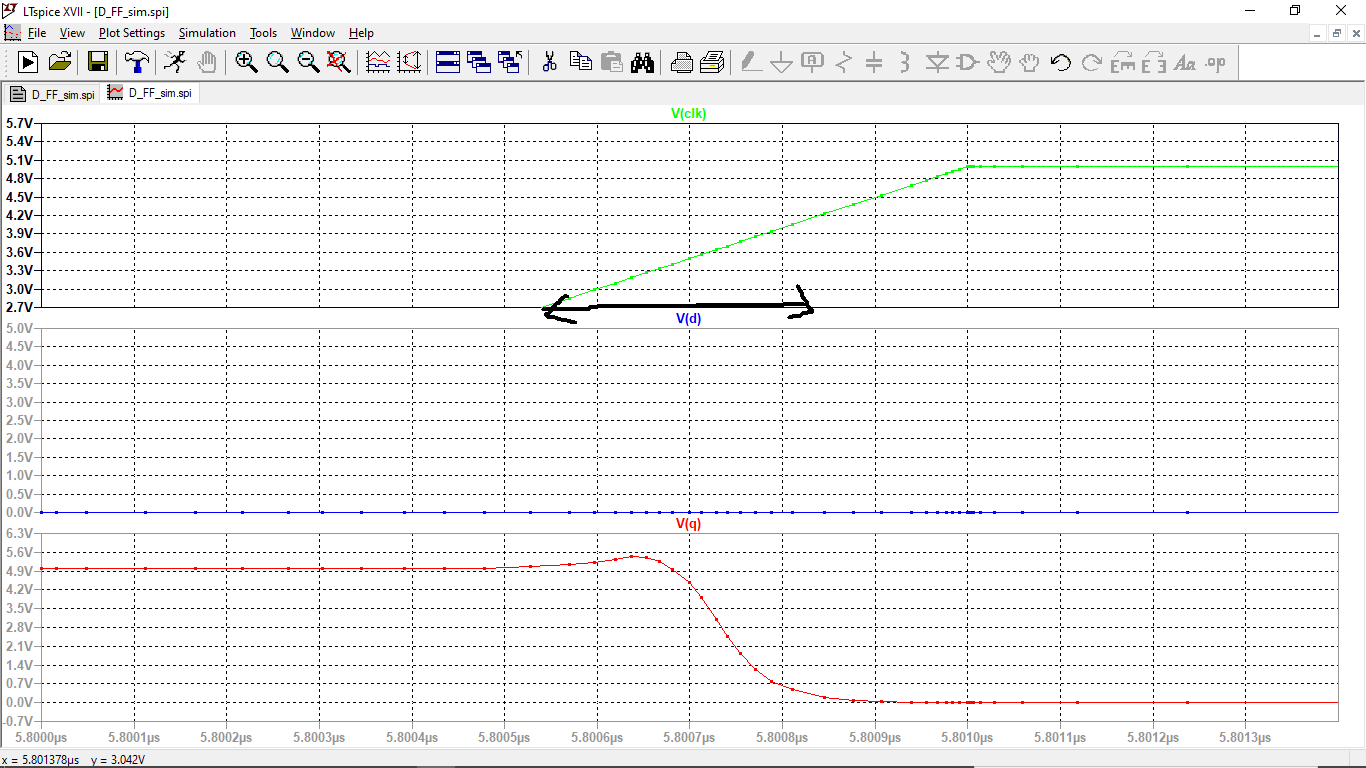


דוגמאות ל-Tsetup



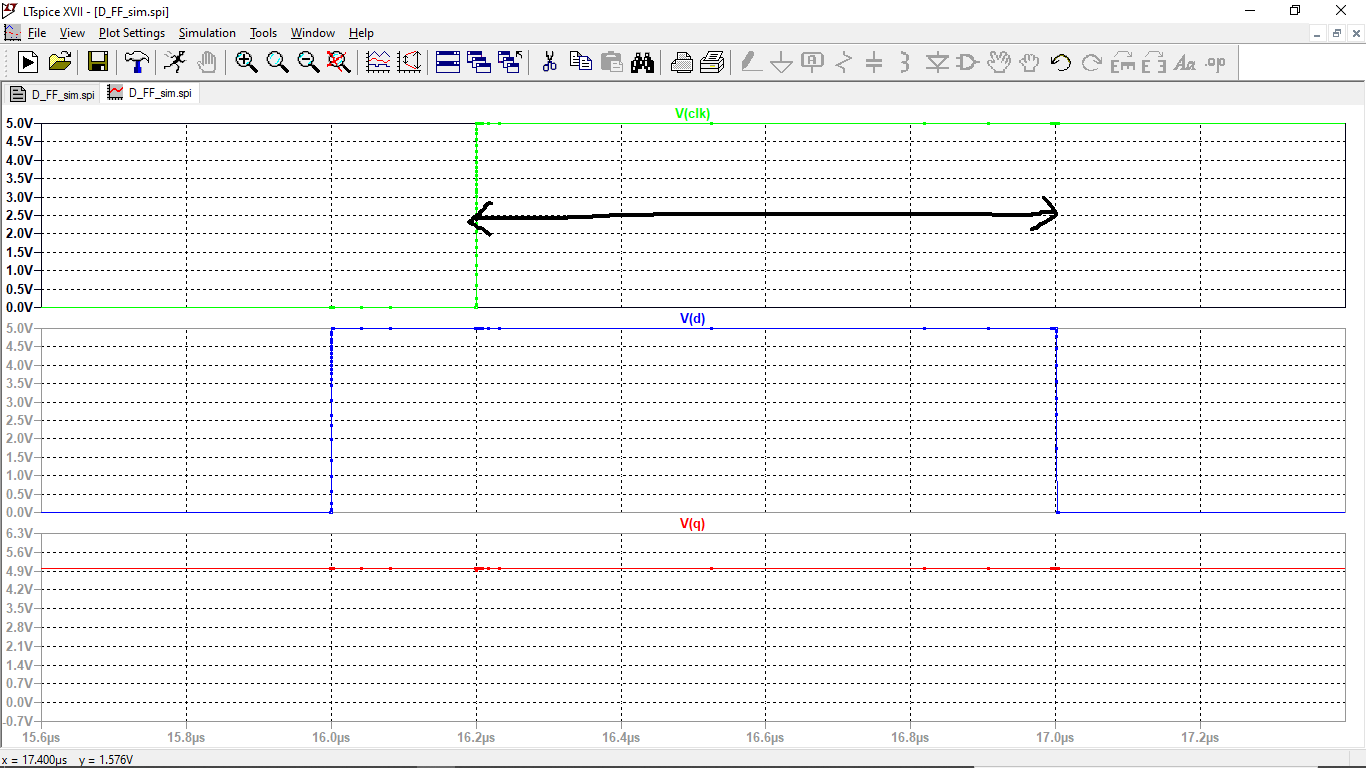
Tsetup=0.2uS

Tclock-out- זמן המעבר ברכיב מהשינוי בשעון ועד להופעתו במוצא.



Tcq=3nS

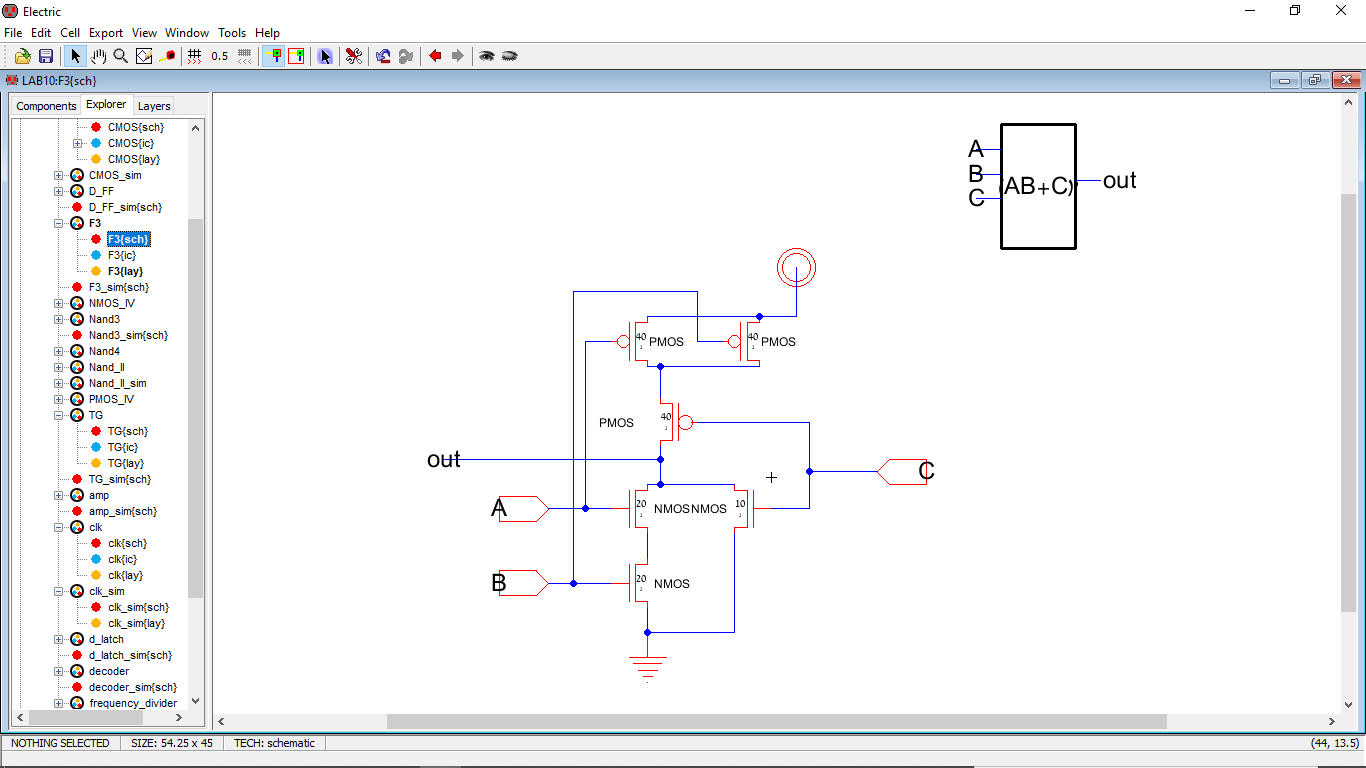
Thold- הזמן שלאחר דגימת השעון בו הכניסה נשארת יציבה.



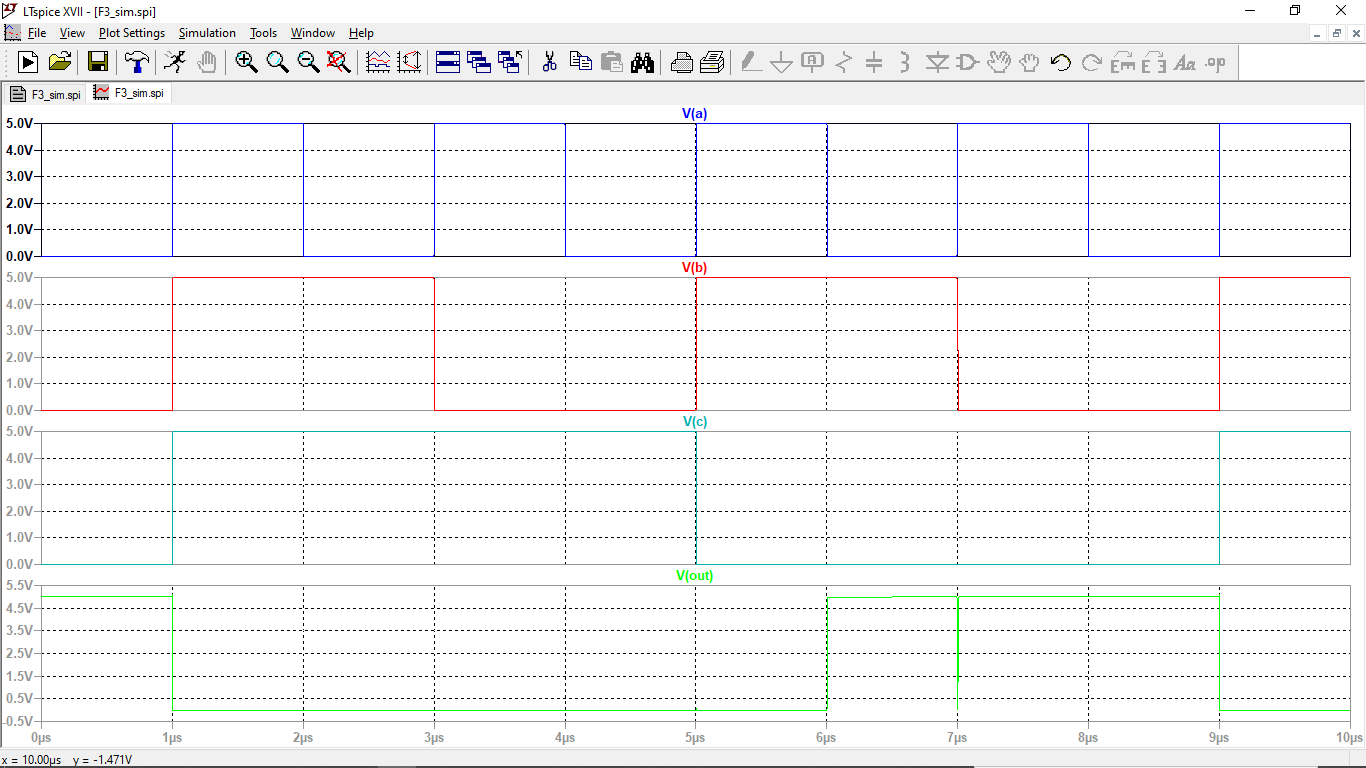
Thold=0.8uS

3.

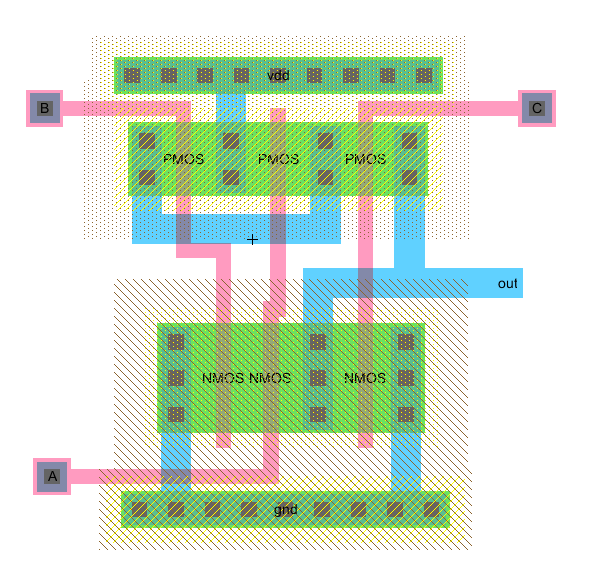
בשאלה זו נדרשתי לבנות את השער הלוגי F=(AB+C)’ בצורה סימטרית, ולאחר מכן לחשב את זמן ההשהיה של השער הדוחף ארבעה מהפכים וקבל שגודלו 602fF.



F=(AB+C)’ Schematic



F=(AB+C)’ Simulation



F=(AB+C)’ Layout

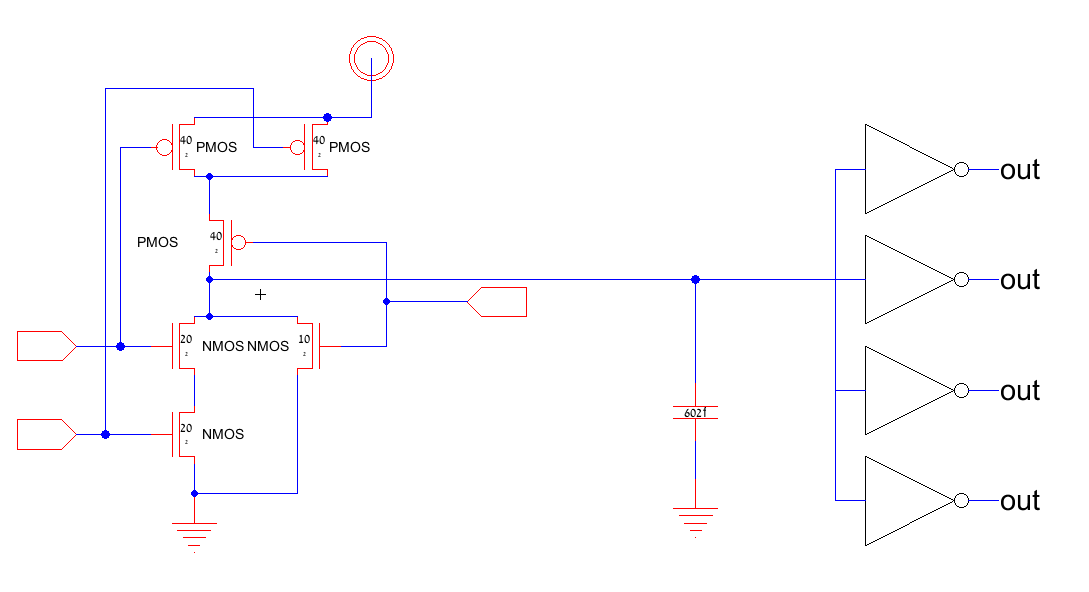


Diagram Of Question 3

כדי לחשב את זמן ההשהיה נדרש למצוא את קיבול הכניסה למהפך יחיד ולהכפילו ב4 תחילה. לאחר מכן, אמצא את קיבול המוצא של השער, ולבסוף אסכום את כל הקיבולים ואכפילם ב-Req. כלומר עליי למצוא את המעגל השקול שבו אחשב את ההתנגדות השקולה של הטרנזיסטורים במסלול ה-worst case ואז אכפיל בקיבול לפי τ=R\* C להערכת ההשהיה משינוי אות בכניסה ועד לשינוי האות במוצא.

חישוב:

Lmin=0.6[um], Wmin=3[um], Tox=1.39E-8m,Vdd=5[V]

N part parameters: Ldiff=1.5E-7[m], Cj=4.19-4, CGDO=2E-10, CP= 3.24E-10, Wn=20Wmin

P part parametrs: Ldiff=1.5E-7[m], Cj=7.23E-4, CGDO= 2.9E-10, CP=2.69E-10, Wp=40Wmin, vT=-0.92[V]

\*רוחב הטרנזיסטור המינימלי הנתון הוא 3um. הגדלנו את רוחב הטרנזיסטור nmos להיות 10Wmin כדי שהסימולציה תעבוד בצורה תקינה.

כל שער צריך להשווות למהפך סימטרי ולהסתכל על המסלול הגרוע ביותר. לכן נקבל יחס של 20 ו40 לרוחב טרנזיסטור מינימלי עבור טרנזיסטורי nmos ו pmos בהתאמה.

Cin\_inv=Cox\*Lmin\*(Wp+Wn)=\*0.6um\*60\*Wmin=\*0.6um\*60\*3um= 2.45m\*1.08E-10=264.6fF

\*המוצא נוגע ב3 טרנזיסטורים (2nmos ו1 pmos ) וזוהי התצורה הטובה יותר מבחינת קיבולים וזמני השהייה. (אם הייתי מחבר את ה-PUN הפוך הייתי מקבל את ההשהיה הגרועה ביותר)

לכן, עבור אקח בחשבון רוחב טרנזיסטור nmos הגדול פי 1.5.

Cout\_gate=CD+CGDO= [Cj\*Ldiff\*Wn+Cp\*(2\*Ldiff+Wn) + CGDO\*Wn ]n\_part + [Cj\*Ldiff\*Wp+Cp\*(2\*Ldiff+Wp) +

CGDO\*Wp ]p\_part=[4.19E-4\*1.5E-7\*30Wmin+3.24E-10\*(2\*1.5E-7+30Wmin)+ 2E-10\*30Wmin]

n\_part+ [7.23E-4\*1.5E-7\*40Wmin+2.69E-10\*(2\*1.5E-7+40Wmin) + 2.9E-10\*40Wmin]p\_part= 5.65f+29.25f+18f+13f+32.36f+34.8f=133.06fF

נניח ומתקבל בכניסה פולס מגבוה לנמוך ושאר הכניסות הן ב'0'. דרוש לחשב את זמן טעינת הקבל כלומר, את השהיית המעגל עד לקבלת '1' במוצא. לכן, אחשב את ההתנגדות האפקטיבית של שני טרנזיסטורים pmos המחוברים בטור. זהו בעצם המסלול הגרוע ביותר מבחינת השהיה.

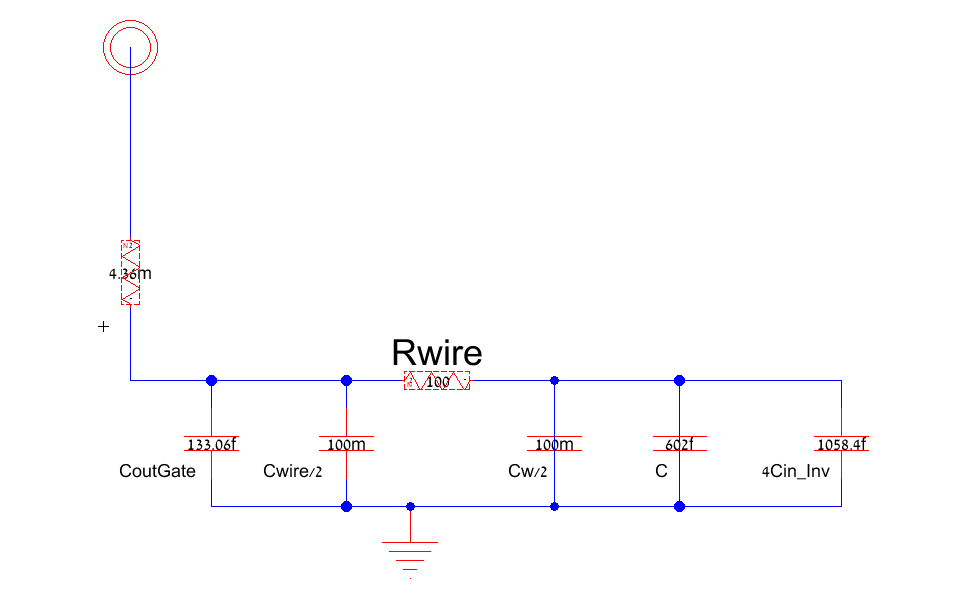
ההתנגדות השקולה של הטרנזיסטורים נתונה על ידי הנוסחא הבאה(נתון לקחת את כל היחידות בm וF):

2\*Reff====9.43mOhm.

τ=Reff\* (Cout\_gate+C+4Cin\_inv)=9.43m\*(133.06f+602f+264.6f)=9.42[fS]

במידה והייתי לוקח בחשבון את החוט המחבר בין השער הלוגי למהפכים, הייתי צריך לקחת בחשבון את הקיבול הנוסף וכן ההשהיה הייתה גדלה. לכן, הייתי צריך להתחשב בפרמטר קיבול החוט (לריבוע) ובפרמטר התנגדות החוט (לריבוע) ולשקלל אותם עם רוחב ואורך החוט.

המעגל השקול על פי השהיית אלמור (שנותנת דיוק קרוב ככל הניתן במערכת מקובצת )היה נראה כך:



ההשהיה המתקבלת בצורה פרמטרית הייתה:

τ=Req\*(Coutgate+Cwire+C+4Cin\_inv)+Rwire\*(Cw/2+C+4Cin\_inv)